

RF回路設計に押し寄せる  
アーキテクチャの変革を読み解く！

## CMOS RFIC 実現への道のり

前編：フル CMOS レシーバにみる独創の技術

小室 貴紀/林 海軍/清水 一也/小林 春夫

Takanori Komuro/Lin Haijun/Kazuya Shimizu/Haruo Kobayashi

### 1 はじめに

#### ■ 今や RF CMOS は花盛り

2007年現在、携帯電話などのRF回路をCMOS ICとして実現することは技術的に十分可能です。経済的な側面から見てもCMOS LSIによるRF回路は正当な選択肢の一つに思えます。

実際に米国テキサス・インスツルメンツ社(TI)のTCS2300や、ドイツのインフィニオン社のPMB 6271といったCMOS ICは量産段階にあり、世界中の携帯電話で使用されています。写真1は、その例です。

インターネットで少し調べただけでも、RFを扱うCMOS ICは沢山見つけることができます。「CMOSを使ってRF回路を構成する」という意味の“RF CMOS”という言葉も、今では日常的に使われていて、技術用語としてすっかり定着してきました。

#### ■ なぜ RF 性能が劣る

##### CMOS 素子で作るのか？

しかし、単体の素子としてみた場合には、最先端のCMOSといえどS i G eのHBT(ヘテロジャンクション・バイポーラ・トランジスタ)よりもノイズや直線性が劣り、必ずしもRF回路に適しているとはいえず

せん。

「それなのになぜRF回路をCMOSで作るのか？」といった疑問は当然出てくるでしょう。それどころか「今よりもはるかに性能が劣るCMOSしかなかった時代にRF CMOSを始めた奴は、いったい何を考えていたんだ？」という疑問のほうが大きいかもしれません。

本稿では、これらのRF CMOSで使われている技術、なかでもフルCMOSのレシーバ(受信機)回路について解説します。さらに「なぜRFをCMOSで？」という疑問に可能な限り答えてみようとも試みました。

私たちの出した結論がお気に召すか否かはともかく、RF CMOSの当事者たちのもつ雰囲気だけでも伝えたいと考えています。

### 2 従来のRF回路 (スーパーヘテロダイン方式)

フルCMOSのRFレシーバ回路について述べる前に、従来のRFレシーバを復習しておきましょう。図1はスーパーヘテロダイン方式のレシーバのブロック図です。

#### ■ 信号の流れと各部の動作

アンテナから入ってきた信号は、デュープレクサによって送信機からの信号と分別され、レシーバに送られます。続くロー・ノイズ・アンプ(LNA)とRFバン



(a) インフィニオン社 PMB6271  
(GSM, GPRS など用)



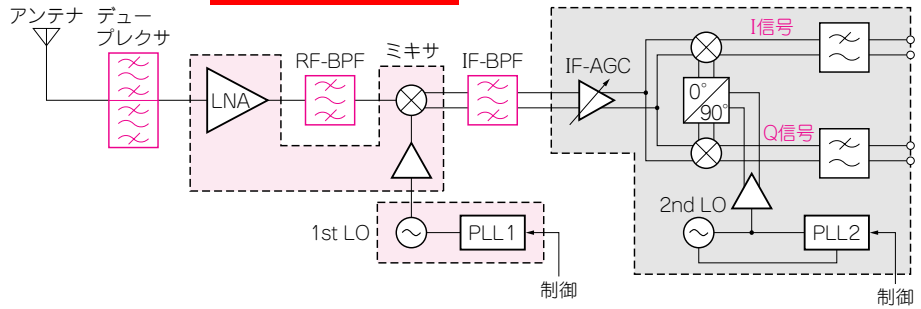
(b) クアルコム社 RTR6280  
(UMTS, GMS, EDGE など用)



(c) ブロードコム社 BCM21551  
(HSUPA, W-CDMA, EDGE など用)

〈写真1〉各社の携帯電話用フルCMOS RFICの例

# 見本



〈図1〉  
スーパーヘテロダイン  
方式レシーバのブロック図

ドパス・フィルタ (RF BPF) で信号を整え、ミキサに通じてIFバンドに周波数変換します。

IFバンドパス・フィルタを通した後、もう1回周波数変換を行います。周波数変換するとき生じたイメージ成分を除去し、信号を復調するため、IFバンドで信号の位相を90°ずれたI信号とQ信号の各経路に分けて処理をします。この方式は携帯電話などの多くのモバイル機器に使われています。

## ■ CMOS との相性

### ● ベースバンドのADCやDSPはCMOSが最適

ここでベースバンド(BB)部分のA-Dコンバータやデジタル信号処理(DSP)部がCMOS ICとして実現されるのが最も適切であることに異論はないでしょう。今の時代、コストと低消費電力化の観点から、この部分(特にロジック回路)をCMOS以外の手段で組むのは、よほど特殊な用途に限られるからです。

### ● LNAやフィルタはCMOSにとって不得手

図1の構成では、アンテナ入力に近いLNAは、CMOSよりも素子単体のノイズ特性が優れているSiGeのHBTで実現することには明らかに性能的なメリットがあります。

また図中に数多く見られるフィルタは、SAWの単体素子として、性能とコストのバランスが取れたものを小型部品として容易に入手できます。さらに近年流行のSiP(System In Package)の技術を使うと、複数の半導体チップを一つのパッケージに収めることも困難ではありません。SiPの場合は「内部が1チップになっていない」というデメリットよりも「各ブロックで要求される性能に応じた最適の素子を使用できる」というメリットの方が大きいといえるでしょう。

## ■ スーパーヘテロダイン方式が現状の主流

結局、SAWフィルタなどの外付け部品が多く、プリント基板が複雑になる程度の課題はありますが、このスーパーヘテロダイン方式の構成に致命的な問題があるわけではありません。事実、2007年現在の携帯電話のRFレシーバは、すべてCMOSまたはほかの素子技術を併用しているにかかわらず、大部分がミ

キサ回路を使った、この構成をとっています。

RFレシーバを1チップ化するには、Bi-CMOSプロセスを使うのが一番自然な発想ではないでしょうか。Bi-CMOSプロセスであれば、同一チップ内でも、適材適所でバイポーラ・トランジスタとCMOSを使い分けることができるので、設計の自由度は十分に大きいといえます。スーパーヘテロダインの構成のまま、そのコンポーネントを高性能化しながら1チップに取り込んでいくアプローチを取ることができます。実際、多くの携帯電話用のRFレシーバは、SiGe HBT(ヘテロ接合バイポーラ・トランジスタ)を使ったBi-CMOSで作られ、世代を追うごとにより多くの機能が集積されてきています。

## 3 フルCMOSレシーバの実現に向けて

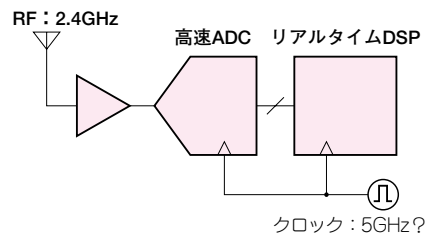
スーパーヘテロダインの構成のまま各ブロックを順次一つのチップに取り込んでいくアプローチがある一方で、RFレシーバのアーキテクチャそのものをCMOSに適したものに変わっていき、CMOSで1チップ化するアプローチも考えられます。

2007年現在、この両方のアプローチによる携帯電話用のレシーバが実用化されています。どちらも高集積LSIであることには変わりありません。しかし、その生まれは大きく異なっています。

## ■ サンプリング・コンバータと問題点

### ● サンプリング技術に基づく構成を取ればCMOS向きといえる

携帯電話用のRFレシーバとは、数GHzの搬送波に



〈図2〉5 GspsのADCによる「究極の」構成