

## RF回路設計に押し寄せる アーキテクチャの変革を読み解く！

### CMOS RFIC 実現への道のり

後編：CMOS トランスミッタを実現した新技術

小室 貴紀/小林 春夫/林 海軍/清水 一也/田邊 朋之

Takanori Komuro/Haruo Kobayashi/Haijun Lin/Kazuya Shimizu/Tomoyuki Tanabe

#### 7 後編のはじめに

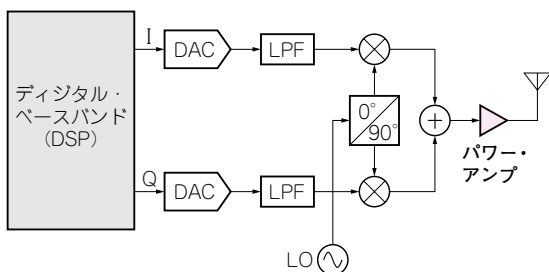
今回はRF CMOSによる送信機について解説します。CMOSプロセスは年々微細化され、高速に動作するようになりました。現在の90 nmプロセスでは、5 GHz程度の信号を扱うことは十分に可能です。

この先、CMOSの微細化がさらに進めば、より高い周波数を扱うことができるでしょう。しかし、微細化されたCMOSは、動作周波数こそRF用途に適していますが、線型性やノイズ特性では、SiGeやGaAsの素子に及ばない部分があります。したがって、CMOSでRF回路を作るには、新たな工夫が必要となります。

さて、テレビやラジオといった、電波を「受ける」機器は昔から身近に数多く存在していました。とはいえ、携帯電話が普及する以前には、個人が所有する機器で電波を「出す」ものは極めて稀でした。2007年11月の発表によれば、携帯電話は全世界で33億台が使われているそうです。電波を「出す」機器も短期間のうちに大量生産されるようになり、既存の無線機の構成を踏襲するだけでなく、多くの技術革新が成し遂げられました。

#### 8 従来の送信機アーキテクチャ

携帯電話などで使われる直交変調送信機の従来のアーキテクチャは、図19に示すようにベースバンドでの直交(IQ)変調+ヘテロダイン方式で構成されています。



〈図19〉直交変調を行う従来の送信機アーキテクチャ

ます。I信号とQ信号用にD-Aコンバータを二つもち、LOとアップ・コンバージョン用ミキサで高い周波数のキャリアへ周波数変換します。もちろんこの構成に致命的な問題があるわけではありません。実際に、現在使われている多くの携帯電話の送信機部分には、この構成が使われています。強いていえば、IQ経路のマッチングや使用するD-Aコンバータに高い精度が必要になり、アナログ部に対する要求が厳しくなるという問題があります。

ここでは、図19の構成とは大きく異なり、RF CMOSでの実現に適したテキサス・インスツルメンツ(TI)社によるDRP(Digital Radio Processor)の送信機アーキテクチャを中心に解説します。

#### 9 DRPの送信機アーキテクチャ

##### ■ ポーラ変調

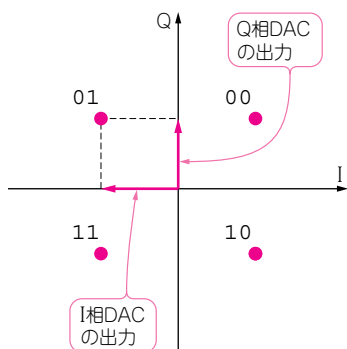
##### ● 直交変調の基本的な動作

現在の携帯電話をはじめとするデジタル通信では、直交変調(IQ変調)が使われています。

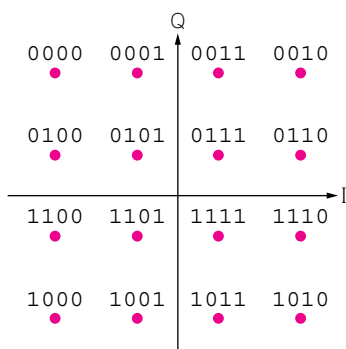
図20は従来型の送信機(図19)の変調動作を、横軸Iと縦軸Qからなる平面上の信号の動きとして表現したものです。図19の中の二つのD-Aコンバータから所望の電圧を発生させ、それを合成することにより、IQ平面内の点を表します。各点にはかっこ内に示したデジタル・データが対応しています。なお、図20の例では(0, 1)の2ビット・データに対応しています。

使用しているD-Aコンバータの精度が低い場合や、妨害波の影響を受けた場合には、誤差を含んだデータが送られることとなります。誤差がはなはだしい場合は、受信側ではIQ平面内の異なる点に対応していると判断され、データ・エラーが発生します。

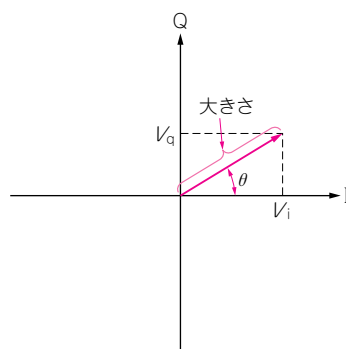
また、多くのデータを一度に送ろうとして、高度な変調方式を採用した場合には、許容できる誤差はますます小さくなります。図21は4ビットのデータを一度に送信できる16QAMの場合です。



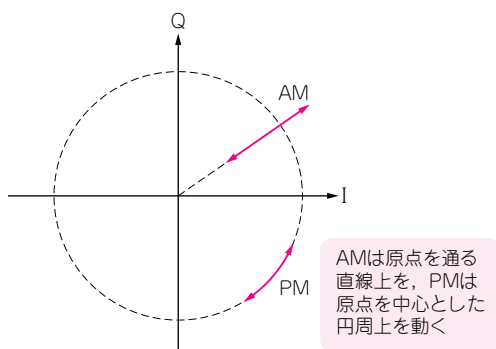
〈図20〉IQ平面上の信号(QPSK)



〈図21〉IQ平面上の信号(16QAM)

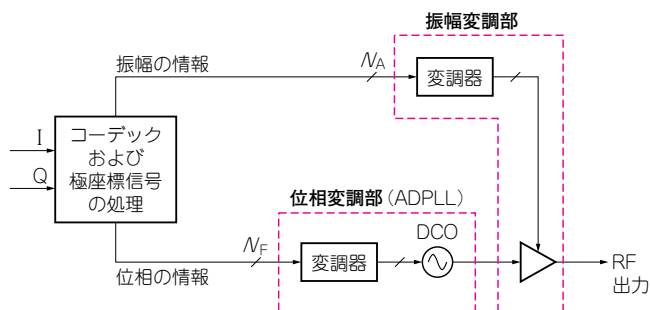


〈図22〉極座標による表現



〈図23〉IQ平面上のAMとPM

AMは原点を通る直線上を、PMは原点を中心とした円周上を動く



〈図24〉ポーラ変調送信機の構成

● 極座標系への変換とIQ変調

さて図20を見てみると、I軸Q軸による直交座標系という解釈以外に、原点からの距離と位相の組み合わせた極座標系(図22)と解釈することもできます。この場合、原点からの距離が変化すれば振幅変調(AM)であり、角度が変化すれば位相変調(PM)となります。つまりIQ変調は、図23のようにAMとPMの組み合わせと理解することも可能です。

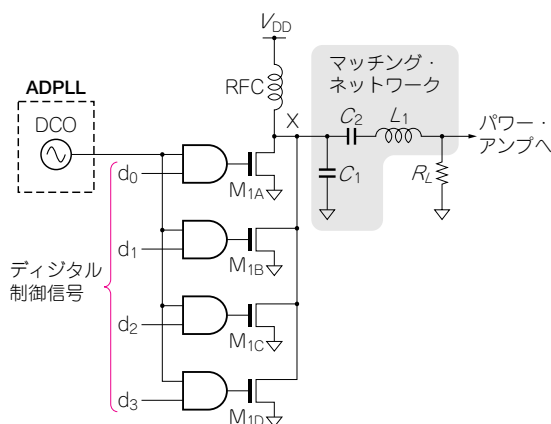
この原理どおりにPMとAMを組み合わせるとIQ変調を実現する方法が図24に示すポーラ変調(Polar Modulation)です。

ポーラ変調を成功させるためには、高精度な位相変調が鍵となります。TIのDRPでは、ほぼすべての要素がデジタル化されたADPLL(All Digital Phase Locked Loop)を開発し、携帯電話の通信に使える精度のPM信号を発生させています。

すなわち2.4GHzの送信機の場合には、図25のようにADPLLは2.4GHzを直接発生し、通信内容にしたがってその出力を位相変調します。そして、ADPLLと送信用パワー・アンプの間にデジタル制御の簡単な可変ゲイン・アンプがあり、そこでAMを加えて、ポーラ変調を実現しています。

■ ADPLL(All Digital PLL)

TI社が発表したADPLLは、ほぼすべての要素が



〈図25〉DRPでポーラ変調のAM部として使われるプリパワー・アンプ

デジタル回路で構成されています。全体はかなり複雑な動作をするので、簡略化したブロック図(図26)にしたがって説明します。

RF CMOSの回路設計では、動作速度以外のアナログ特性に過度な期待はできません。一方、デジタル回路はチップ面積と消費電力が許す範囲で、大量に利用できます。したがって、構成要素をデジタル的に実現することが、基本的な設計方針となります。

従来のPLLで使われていたアナログLPF(図27の中央)をデジタル・フィルタに置き換えることはわ